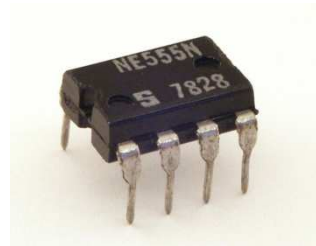
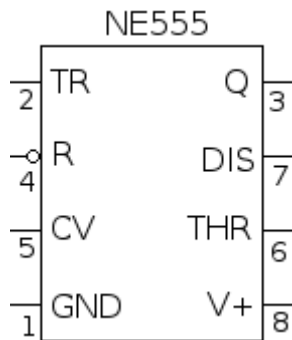
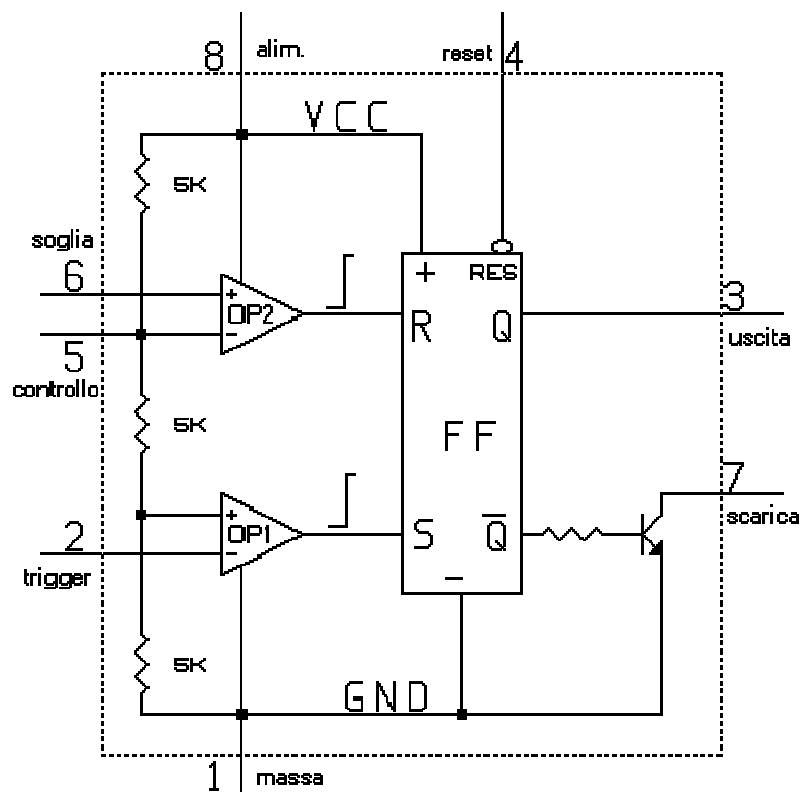


## TIMER 555

Il timer è un circuito integrato complesso avente lo scopo di regolare per un tempo prestabilito determinati circuiti. In pratica il timer 555 è un temporizzatore. Nella seguente figura vediamo la piedinatura e una vista esterna.



Lo schema a blocchi del circuito integrato è il seguente:



Possiamo notare tre resistori uguali da 5 k $\Omega$ , da cui deriva il nome 555, aventi lo scopo di dividere la tensione di alimentazione  $V_{cc}$  in tre tensioni multiple di  $1/3$  di  $V_{cc}$ ; infatti tra il resistore inferiore e massa, cioè sul morsetto non invertente del secondo comparatore, abbiamo una tensione pari a  $V_{cc}/3$ ; tra il secondo resistore e massa, cioè sul morsetto invertente del primo comparatore, abbiamo una tensione pari a  $2V_{cc}/3$ ; infine sul terzo resistore dal basso abbiamo tutta la  $V_{cc}$ . Tali tensioni ci servono come tensioni di riferimento per i due comparatori interni.

Infatti vi sono due comparatori; il primo comparatore, quello superiore ha una tensione di riferimento sul morsetto invertente pari a  $2V_{cc}/3$ , mentre il morsetto non invertente è disponibile

all'esterno dell'integrato, sul piedino **6**, detto **soglia**. In pratica quando la tensione sul piedino 6 è maggiore di  $2V_{cc}/3$  l'uscita del primo comparatore si porta a livello logico alto, cioè **1**; quando, invece, la tensione sul piedino 6 è inferiore a  $2V_{cc}/3$  l'uscita del primo comparatore si porta a livello basso, cioè zero.

Viceversa, il secondo comparatore, quello inferiore, ha una tensione di riferimento sul morsetto non invertente pari a  $V_{cc}/3$ , mentre il morsetto invertente è disponibile all'esterno dell'integrato, sul piedino **2**, detto trigger. In pratica quando la tensione sul piedino 2 è maggiore di  $V_{cc}/3$  l'uscita del secondo comparatore si porta a livello logico basso, cioè 0; quando, invece, la tensione sul piedino 2 è inferiore a  $V_{cc}/3$  l'uscita del secondo comparatore si porta a livello alto, cioè 1.

Le uscite dei due comparatori sono applicate in ingresso ad un latch di tipo **S-R**.

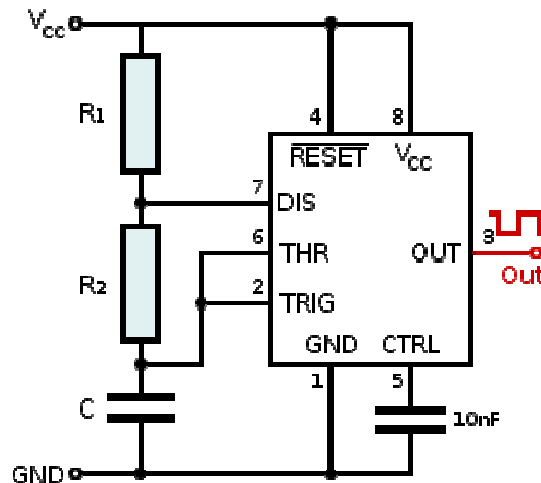
Il latch di tipo S-R è un circuito logico con due ingressi e due uscite. Un primo ingresso, detto **SET**, cioè porre a 1, quando si trova a 1, obbliga l'uscita Q a portarsi a 1; il secondo ingresso, detto **RESET**, cioè azzerare, quando si trova a livello logico 1, porta l'uscita Q a zero, cioè l'azzerata. La tabella di verità è la seguente:

<b>S</b>	<b>R</b>	<b>Q</b>	<b>/Q</b>
0	0	<b>Q</b>	<b>/Q</b>
0	1	0	1
1	0	1	0
1	1	indeterminato	indeterminato

Nel timer 555 delle due uscite l'uscita **Q** non viene utilizzata, ma viene usata solo l'uscita **Q** negato. Se **Q** negato si trova a livello alto, manda in saturazione il transistor e quindi il piedino **7** viene collegato a massa, permettendo la scarica di un condensatore, che di solito viene applicato al piedino 7; se invece l'uscita **Q** negato si trova a livello basso il transistor è interdetto, quindi il piedino 7 si trova isolato da massa, permettendo la carica del condensatore. Sull'uscita **Q** negato è applicato un **invertitore**, che trasforma l'uscita **Q** negato in uscita **Q**, ed inoltre permette una elevata corrente in uscita. Il timer 555 può essere utilizzato sia come multivibratore astabile, che come bistabile.

## MULTIVIBRATORE ASTABILE CON TIMER NE 555

Il multivibratore astabile è un circuito in grado di generare una forma d'onda rettangolare, senza segnale applicato in ingresso. Lo schema elettrico è il seguente:

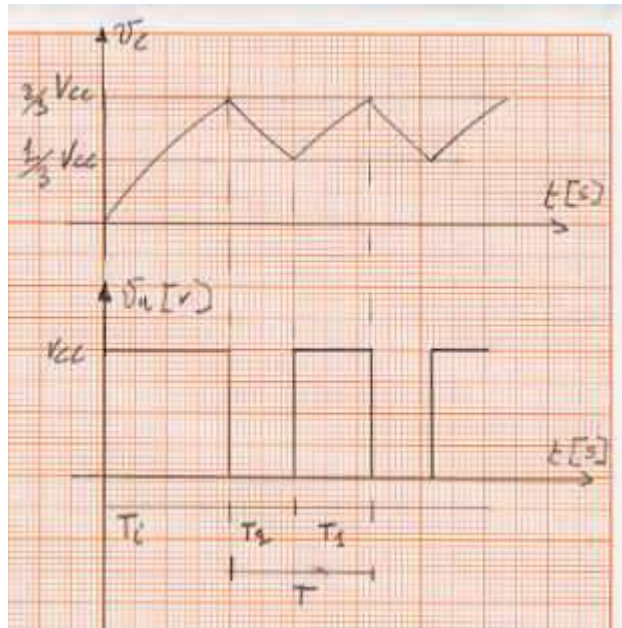


Supponiamo che inizialmente il condensatore **C** sia scarico, gli ingressi dei due comparatori sui piedini **2** e **6** si trovano a livello basso; il comparatore superiore dà in uscita un livello basso, quindi **R=0**; il comparatore inferiore dà in uscita un livello alto, quindi **S=1**; il latch S-R pone l'uscita **Q** a 1, mentre **Q** negato = 0; l'uscita del timer, sul piedino **3** si trova a livello alto; il transistor è interdetto, perché la base non è polarizzata direttamente, il piedino **7** si trova isolato da massa, il condensatore **C** inizia a caricarsi attraverso i resistori **R<sub>1</sub>** ed **R<sub>2</sub>** che si trovano in serie.

Quando la tensione ai capi del condensatore **C** raggiunge il valore di **V<sub>cc</sub>/3**, il comparatore inferiore commuta e si porta a livello basso, **S=0**; il latch S-R non commuta perché anche **R=0**, e quindi la parte restante del circuito resta nello stato precedente, ed il condensatore continua a caricarsi. Quando la tensione ai capi del condensatore **C** raggiunge i **2V<sub>cc</sub>/3** allora il comparatore superiore commuta, portando la sua uscita a livello alto; **R=1**; il latch S-R azzerla la sua uscita **Q**; **Q** negato = 1; l'uscita dell'integrato si porta a livello basso; il transistor va in saturazione, mettendo il piedino **7** del timer a massa; il condensatore è costretto a scaricarsi attraverso il solo resistore **R<sub>2</sub>**.

Quando la tensione del condensatore **C** scende al di sotto di **V<sub>cc</sub>/3** allora il comparatore inferiore commuta, portando **S** a 1, mentre **R** già era a zero appena iniziata la scarica; quindi il latch S-R avendo **S=1** porta la sua uscita **Q** a 1, e **Q** negato a 0; l'uscita del timer si porta a livello alto; il transistor è interdetto, il piedino **7** è staccato da massa, il condensatore inizia a ricaricarsi, ripetendo il ciclo precedente.

I diagrammi sono i seguenti:



Trascurando il tempo iniziale di carica  $T_i$ , in cui il condensatore parte da tensione zero, indichiamo con  $T_1$  il tempo in cui l'uscita si mantiene a livello alto, ed il condensatore si carica;  $T_1$  lo possiamo calcolare con la seguente formula:

$$T_1 = 0,693 (R_1 + R_2) C$$

Infatti il condensatore si carica attraverso  $R_1$  ed  $R_2$ .

Indichiamo con  $T_2$  il tempo in cui l'uscita si mantiene a livello basso;  $T_2$  lo possiamo calcolare con la seguente formula:

$$T_2 = 0,693 R_2 C$$

Sommando i due tempi  $T_1$  e  $T_2$  otteniamo l'intero periodo cioè

$$T = T_1 + T_2$$

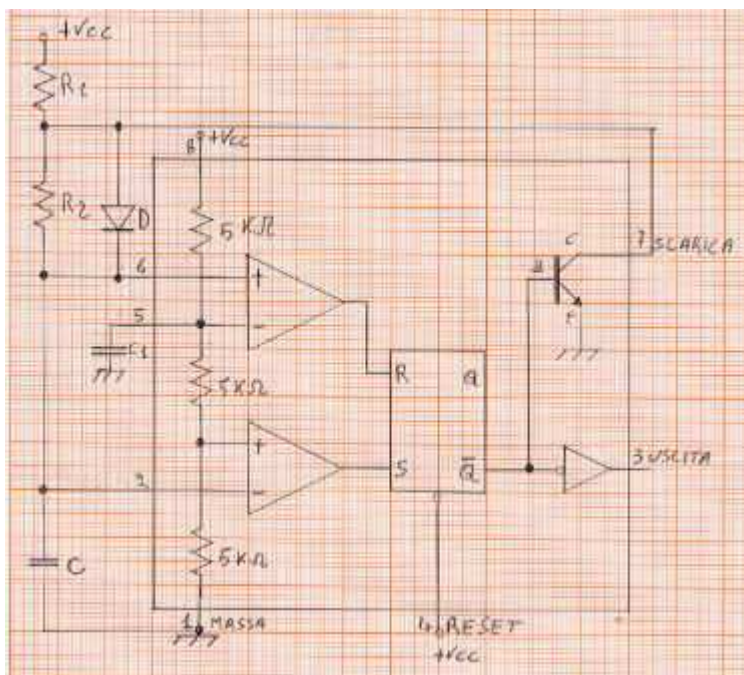
La frequenza sarà l'inverso del periodo, cioè

$$f = \frac{1}{T}$$

Si dice **ciclo utile D** il rapporto tra  $T_1$  e  $T$ , cioè

$$D = \frac{T_1}{T}$$

Notiamo che è difficile ottenere un ciclo utile pari al 50%, cioè  $T_1 = T_2$ , cioè il tempo in cui la forma d'onda è a livello alto è uguale al tempo in cui la forma d'onda è a livello basso; per ottenere questo dovremmo porre  $R_2 = 0$ ; però  $R_2$  è la resistenza di collettore del transistor interno, che non può avere valori inferiore a  $1.000 \Omega$ , per evitare di bruciare il transistor. Per ottenere  $R_2 = 0$  si può mettere in parallelo ad  $R_2$  un diodo, secondo il seguente schema:



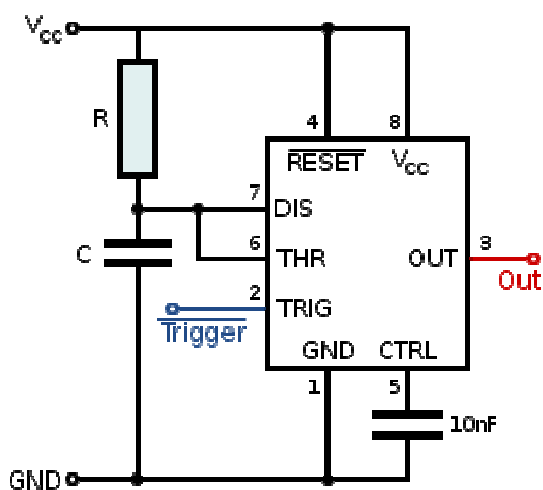
in tal modo durante la carica del condensatore C il diodo **D** è polarizzato direttamente e si comporta come un corto circuito, il condensatore si carica solo attraverso **R<sub>1</sub>**; durante la scarica del condensatore il diodo è polarizzato inversamente, quindi è come un circuito aperto, permettendo al condensatore di scaricarsi attraverso **R<sub>2</sub>**.

Il condensatore **C<sub>1</sub>** serve come livellamento della tensione di riferimento. Il morsetto di **RESET** va collegato a + Vcc, in modo da escluderlo.

[pagina iniziale](#)

## MULTIVIBRATORE MONOSTABILE CON TIMER 555

Il multivibratore monostabile genera una forma d'onda rettangolare in uscita, però ha bisogno di un impulso esterno per poterla generare. Lo schema elettrico è il seguente:

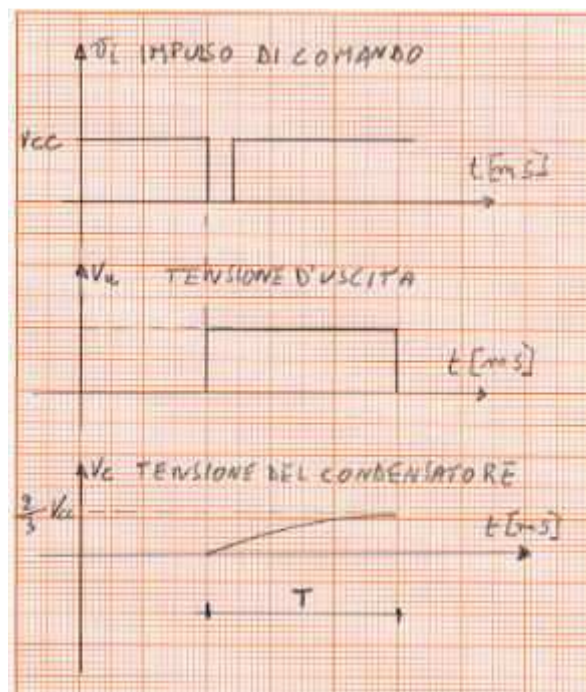


Il monostabile ha un solo stato stabile, nel nostro caso l'uscita si mantiene sempre a livello basso finché non arriva un impulso dall'esterno, sul piedino 2. Infatti mantenendo a livello alto il piedino 2, il comparatore inferiore dà in uscita un valore basso; quindi  $S=0$ ; invece il comparatore superiore, essendo il condensatore inizialmente scarico, dà in uscita 0; quindi  $R=0$ ; quindi il latch **S-R** resta nella condizione di azzeramento, cioè  $Q=0$ ;  $Q$  negato = 1; l'uscita del timer è zero; il transistor va in saturazione, essendo la base polarizzata direttamente, il piedino 7 si trova a massa, ed il condensatore **C** non si può caricare attraverso il resistore  $R_1$ . Il circuito si mantiene stabile con uscita a livello basso.

Quando arriva un impulso dall'esterno sul piedino 2, detto trigger, la tensione sul piedino 2 si porta a zero, il comparatore inferiore dà in uscita un livello alto;  $S=1$ ; mentre  $R$  è rimasto a 0; immediatamente l'uscita  $Q$  del latch S-R si porta a 1, mentre  $Q$  negato = 0; l'uscita del timer si porta a 1; il transistor è interdetto, il condensatore inizia a caricarsi attraverso il resistore  $R_1$ ; quando la tensione sul condensatore raggiunge i  $2V_{cc}/3$  il comparatore superiore commuta portando l'uscita a livello alto, quindi  $R = 1$ ; mentre il comparatore inferiore ha già dato l'uscita a livello basso non appena il condensatore ha superato  $V_{cc}/3$ ; quindi  $S = 0$ ; l'uscita del latch S-R si azzerà, quindi  $Q = 0$ ;  $Q$  negato = 1; l'uscita del timer si porta a livello basso; il transistor va in saturazione scaricando il condensatore.

Il condensatore  $C_1$  serve come livellamento della tensione di riferimento. Il morsetto di **RESET** va collegato a +  $V_{cc}$ , in modo da escluderlo.

I diagrammi sono i seguenti:



Indichiamo con **T** il tempo in cui il condensatore si carica, si ha che:

$$T = 1,1 R_1 C$$